

EMITTING ELEMENT ARRAY

Publication number: JP2014584 (A)

Also published as:

Publication date: 1990-01-18

JP2790631 (B2)

Inventor(s): KUSUDA YUKIHISA; TONE KIYOSHI;
YAMASHITA KEN; TANAKA SHUHEI +

Applicant(s): NIPPON SHEET GLASS CO LTD +

Classification:

- international: *B41J2/44; B41J2/45; B41J2/455; H01L33/00;*
H01S5/00; B41J2/44; B41J2/45; B41J2/455;
H01L33/00; H01S5/00; (IPC1-7): B41J2/45;
B41J2/455; B41J3/21; H01L33/00; H01S3/18

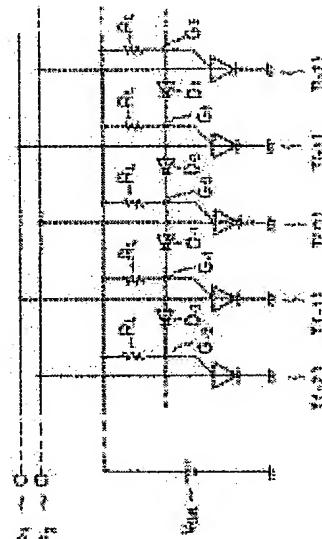
- European:

Application number: JP19880164353 19880701

Priority number(s): JP19880164353 19880701

Abstract of JP 2014584 (A)

PURPOSE: To make possible transferring operation by two-phase transferring clock number by using an electric element having unidirection of voltage or current as an electric means and unidirectionally flowing the voltage or current in network wiring. **CONSTITUTION:** In the case where a standard three-terminal thyristor is used as an emitting element, transferring clock ϕ_2 attains a high level and, when the emitting element $T(0)$ is turned on, a gate electrode G_0 is lowered down to zero volts from the characteristic of a three-terminal thyristor, gate voltage near the emitting element $T(0)$ is extremely lowered and increases as it is separated from $T(0)$, but an effect for lowering the voltage from the unidirection and the asymmetry of a diode characteristic works the righthand half of $T(0)$ alone and next transferring clock pulse ϕ_1 is added to nearest $T(1)$, $T(-1)$, $T(3)$, $T(-3)$; and the like, the element of lowest ON voltage is $T(1)$ and next low element is $T(3)$. Therefore, if high level voltage of the transferring clock pulse is set between $T(1)$ and $T(3)$, $T(1)$ alone can be turned on and transferring operation can be performed.



Data supplied from the **espacenet** database — Worldwide

⑯公開特許公報(A)

平2-14584

⑯Int. Cl. 5

H 01 L 33/00
B 41 J 2/45

識別記号

府内整理番号

J 7733-5F

⑯公開 平成2年(1990)1月18日

7612-2C B 41 J 3/21

審査請求 未請求 請求項の数 1 (全12頁)

L※

⑯発明の名称 発光素子アレイ

⑯特願 昭63-164353

⑯出願 昭63(1988)7月1日

⑯発明者 楠田 幸久 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑯発明者 刀根 漢 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑯発明者 山下 建 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑯出願人 日本板硝子株式会社

⑯代理人 弁理士 大野 精市

最終頁に続く

明細書

1. 発明の名称

発光素子アレイ

2. 特許請求の範囲

(1) a. しきい電圧もしくはしきい電流が外部から制御可能な制御電極をそれぞれ有する発光素子を多數個、一次元、二次元、もしくは三次元的に配列し、

b. 各発光素子の制御電極を近傍に位置する少なくとも2つの発光素子の制御電極と互いに電気的手段にて接続したネットワーク配線を形成し、

c. 各発光素子に、外部から電圧もしくは電流を印加するクロックラインを接続させた、発光素子アレイであって、

該電気的手段として、電圧もしくは電流の一方向性を持つ電気素子を用い、該ネットワーク配線に電圧もしくは電流が一定方向で流れるようにさせたことを特徴とする発光素子アレイ。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は発光素子を同一基板上に集積した発光素子アレイへの自己走査機能の付与と、その駆動の簡略化に関するものである。

【従来の技術】

発光素子の代表的なものとしてLED (Light Emitting Diode) 及びLD (Laser Diode) が知られている。

LEDは化合物半導体 (GaAs, GaP, AlGaAs等) のPNまたはPIN構造を形成し、これに順方向電圧を加えることにより接合内部にキャリアを注入、その再結合の過程で生じる発光現象を利用するものである。

またLDはこのLED内部に導波路を設けた構造となっている。あるしきい値電流以上の電流をながすと注入される電子-正孔対が増加し反転分布状態となり、誘導放射による光子の増倍(利得)が発生し、へき間面などを利用した平行な反射鏡で発生した光が再び活性層に帰還されレーザ発振が起こる。そして導波路の端面からレーザ光が出ていくものである。

これら L E D、 L D と同じ発光メカニズムを有する発光素子として発光機能を持つ負性抵抗素子（発光サイリスタ、 レーザサイリスタ等）も知られている。発光サイリスタは先に述べたような化合物半導体で P N P N 構造を作るものであり、シリコンではサイリスタとして実用化されている（青木昌治編著、「発光ダイオード」工業調査会、pp167～169参照）。

この発光サイリスタの基本構造及び電流-電圧特性を第12図、第13図に示す。第12図に示す構造は N 形 GaAs 基板上に P N P N 構造を形成したもので通常のサイリスタとまったく同じ構成である。第13図も同様に通常のサイリスタとまったく同じ S 字形負性抵抗を表している。サイリスタも第12図の 2 端子のみでなく、第14図に示す 3 端子サイリスタも知られている。この 3 端子サイリスタのゲートは ON 電圧を制御する働きを持ち、 ON 電圧はゲート電圧に拡散電位を加えた電圧となる。また ON した後、ゲート電極はカソード電圧とほぼ一致するようになる。カソード

査を行うためには、 L E D アレイのなかに作られている一つ一つの L E D をワイヤボンディング等の技術により駆動 I C に接続し、この I C で一つ一つの L E D を駆動させてやる必要があった。このため L E D の数が多い場合、同数のワイヤボンディングが必要で、かつ、駆動 I C も数多く必要となりコストが高くなってしまうという欠点があった。これは駆動 I C を設置するスペースを確保することが必要となり、コンパクト化が困難という欠点を説いていた。また L E D を並べるピッチもワイヤボンディングの技術で定まり、短ピッチ化が難しいという欠点があった。

そこで発明者らは、発光素子アレイ自身に自己走査機能をもたせることにより、先に挙げたワイヤボンディングの数の問題、駆動 I C の問題、コンパクト化、短ピッチ化の問題を解決する発明を行ない、先に出願した。（特願昭63-65392「発光素子アレイとその駆動方法」）この、先の発明の内容を以下簡単に記す。

先の発明の主旨は、発光素子のターンオン電圧

電極が接地されていればゲート電極は零ボルトとなる。またこの発光サイリスタは外部から光を入射することによりそのしきい電圧が低下することが知られている。

さらにこの発光サイリスタの中に導波路を設けし D とまったく同じ原理でレーザサイリスタを形成する事もできる（田代他、1987年秋応用物理学会講演、番号 18p-ZG-10）。

これらの様な発光素子、特に L E D は化合物半導体基板上に多数個作られ、切断されて一つづつの発光素子としてパッケージングされ販売されている。また密着イメージセンサ用及びプリンタ用光源としての L E D は一つのチップ上に複数個の L E D を並べた L E D アレイとして販売されている。

一方密着形イメージセンサ、 L E D プリンタ等では読み取るポイント、書き込むポイントを指定するため、これら発光素子による発光点の走査機能（光走査機能）が必要である。

しかし、これらの従来の発光素子を用いて光走

査を行うためには、 L E D アレイのなかに作られている一つ一つの L E D をワイヤボンディング等の技術により駆動 I C に接続し、この I C で一つ一つの L E D を駆動させてやる必要があった。このため L E D の数が多い場合、同数のワイヤボンディングが必要で、かつ、駆動 I C も数多く必要となりコストが高くなってしまうという欠点があった。これは駆動 I C を設置するスペースを確保することが必要となり、コンパクト化が困難という欠点を説いていた。また L E D を並べるピッチもワイヤボンディングの技術で定まり、短ピッチ化が難しいという欠点があった。

第15図に先の発明の実施例の第1の例を示す。これは発光素子として先に述べた発光サイリスタを用い、発生した光の一部が隣接する発光サイリスタに入射するよう構成したもので、光が入った発光サイリスタの ON 電圧が低下する現象を利用するものである。今転送クロックパルス μ がハイレベルとなり、発光サイリスタ T(0) が ON しているとする。このためその隣側に位置する発光サイリスタ T(-1)、T(1) の ON 電圧が低下する。このため次の転送クロックパルス μ にハイレベル電圧が印可されると T(1) のみ ON させる事が可能となる。これから自己走査を行なうことができる。

第16図に第15図の構成のデバイス構造を示す。N 形 GaAs 基板上に P 形 (23)、N 形 (22)、P 形 (21) からなる発光サイリスタを設け、それぞれの P 形 (21) 層に接触した電極 (

40) に転送クロックラインを接続した構成となっている。動作は先に説明した通りである。

第17図に先の発明の実施例の第2の例を示す。第14図に示した三端子サイリスタのゲート端子を図中R₁、R₂でお互いに接続した構成である。今 μ_2 がハイレベル電圧となりT(0)がON状態になっているとする。このときノードG₀はほぼ零ボルトとなっている。すると抵抗ネットワークから電流が流れ、T(0)に近いノードが最も電圧が引き下げられ、離れていくほど影響は少なくなる。次の転送クロック μ_1 にハイレベル電圧が加わるとT(1)とT(-2)がON可能となるが、ノードG₁のほうがノードG₋₂より低い電圧となっているため、T(1)のみをONさせることができる。

これから自己走査を行なうことができる。

以上簡単に説明した先の発明により、ワイヤボンディングの数の問題、駆動ICの問題、コンパクト化、短ピッチ化の問題等を解決することが可能となった。

[発明が解決しようとする課題]

くとも2つの発光素子の制御電極と互いに電気的手段にて接続したネットワーク配線を形成し、各発光素子に、外部から電圧もしくは電流を印加するクロックラインを接続させた、発光素子アレイであって、

該電気的手段として、電圧もしくは電流の一方向性を持つ発光素子を用い、該ネットワーク配線に電圧もしくは電流が一定方向で流れるようにさせたことを特徴とする発光素子アレイである。

本発明においては、転送クロックを2相化するために、先の発明の例で示したような抵抗のみを介した電気的接続方法を取らず、ダイオード、トランジスタ等を介した電気的接続方法を用いる。

本発明によるとダイオード、トランジスタ等の特性の一方向性、非対象性を利用し、転送クロックを2相化することができる。

本発明に使用する発光素子としてはしきい電圧もしくはしきい電流が外部から制御可能な発光素子であれば、任意の素子が使用できる。なかでも、例えばP導電形半導体領域及びN導電形半導体領

第15図および第16図の構成例（光結合による方法）ではON発光素子から出射する光量を左右で変えることにより転送クロック数を2つに減少させることができる。

しかしながら第17図に示した構成例（電気的接続による方法）では2相駆動化はできない。このため転送動作をさせるための駆動回路がそれほど簡単化出来ないという欠点があった。

[課題を解決するための手段]

本発明は電気的手段により接続する方法を改良し、電気的手段により接続する方法によても、2相の転送クロック数で転送動作を可能とするものである。

本発明は上記問題点を解決するためになされたものであって、

a. しきい電圧もしくはしきい電流が外部から制御可能な制御電極をそれぞれ有する発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、

b. 各発光素子の制御電極を近傍に位置する少な

域を複数積層した発光素子等の負性抵抗を有する発光素子を用いることが望ましい。

また本発明に使用する電圧もしくは電流の一方向性を持つ素子としてダイオード、トランジスタを用いてもよい。

さらには、これらのダイオード、トランジスタを、発光素子を形成している第1導電形半導体部及び第2導電形半導体部（P形、N形層）を用いて（組み合わせて）形成することにより、簡単な製造方法にて、本発明を実現できる。

[作用]

本発明では一方向性を持ったダイオード、トランジスタ等を介して、発光素子間の電気的接続を行なうことにより、実施例にて詳細に説明するように2相の転送クロックにて自己走査を行なうことが可能となる。

[実施例]

<実施例1>

ここで説明する実施例1は電気的接続の方法としてダイオードを用いるものである。

実施例1の原理の等価回路図を第1図に示す。これは発光しきい電圧、電流が外部から制御できる発光素子の一例として、最も標準的な三端子の発光サイリスタを用いた場合を表している。T(-2)～T(+2)は発光サイリスタの番号であり、それらが一列に並べられた構成となっている。G₋₂～G₊₂はT(-2)～T(+2)のそれぞれの発光サイリスタのゲート電極を表す。R_Lはゲート電極の負荷抵抗を表し、D₋₂～D₊₂は電気的相互作用を行なうダイオードを表す。またV_{ox}は電源電圧を表す。各単体発光サイリスタのアノード電極に2本の転送クロックライン(φ₁、φ₂)がそれぞれ1素子おきに接続される。

動作を説明する。まず転送クロックφ₂がハイレベルとなり、発光素子T(0)がONしているとする。この時、3端子サイリスタの特性からゲート電極G₀は零ボルト近くまで引き下げられる(シリコンサイリスタの場合約1ボルトである)。V_{ox}を5Vとすると、抵抗R_L、ダイオードD₋₂～D₊₂のネットワークから各発光サイリスタのゲート電圧が

尚本実施例の等価回路図において、発光サイリスタのゲート電極間を結ぶ素子としてダイオードのみを挙げているが、このダイオードに直列に抵抗を加えても良い。この場合G₀とG₁との電位差がダイオードの立ち上がり電圧V_{oi}以上となり、転送動作可能なクロックハイレベル電圧範囲を拡大できる。

本実施例では転送クロックパルスが2相の場合で動作を説明したが、3相以上であってももちろん動作する。さらに第1図では発光素子を一列に並べているが、配列を直線にする必要はなく、応用によって並行させてもよいし、途中から二列以上に増やすことも可能である。またこの説明では発光サイリスタに限定して説明したが同様な機能を持つデバイスであればこれに限られず何であっても良い。本実施例の別の実施例でも説明するが、発光素子としてレーザサイリスタであってもよい。この駆動方法は発光素子を単体部品で構成してもよく、また次の実施例で示すようになんらかの方法により集積化してもよい。

決まる。そして発光素子T(0)に近い素子のゲート電圧が最も低下し、以降順にT(0)から離れるに従いゲート電圧は上昇していく。しかしながら、ダイオード特性の一方向性、非対称性から電圧を下げる効果はT(0)の右半分しか働かない。即ちG₁はG₀にたいし、ダイオードの順方向立ち上がり電圧V_{oi}だけ高い電圧に設定され、G₂はG₁にたいし、さらにダイオードの順方向立ち上がり電圧V_{oi}だけ高い電圧に設定される。一方左半分に相当するG₋₁はダイオードD₋₁が逆バイアスとなっているため電流が流れず、従ってV_{ox}と同電位となる。次の転送クロックパルスφ₁は最近接のT(1)、T(-1)及びT(3)、T(-3)等に加わるが、これらの中で最もON電圧が低い素子はT(1)で、約2Vである。次に低い素子はT(3)であり、約4V_{oi}となる。T(-1)、T(-3)のON電圧は約V_{ox}+V_{oi}となる。以上から転送クロックパルスのハイレベル電圧を2V_{oi}から4V_{oi}の間に設定しておけばT(1)のみONさせることができ、転送動作を行なうことができる。

<実施例2>

実施例1では等価回路を示し説明したが、実施例2では実施例1を集積化して作成する場合の構成についての実施例を説明するものである。本実施例の要点は電気的結合を行なうためのダイオードを発光素子の一部を利用して設けることにより、発光サイリスタと同じ工程で、ダイオードまで形成することのできる構造にある。

本発明の構造概念図を第2図に示す。接地されたN形GaAs基板(1)上にN形半導体層(24)、P形半導体層(23)、N形半導体層(22)、P形半導体層(21)の各層を形成する。そしてホトリソグラフィ等及びエッチングにより、各半導体発光素子に分離する(分離構(50))。T(-1)～T(+1)はこれらの単体発光素子の番号を表す。アノード電極(40)はP形半導体層(21)とオーム接觸を有し、ゲート電極(41)はn形半導体層(22)とオーム接觸を有する。絶縁層(30)は素子と配線との短絡を防ぐためのものであり、同時に特性劣化を防ぐための保護

膜でもある。

絶縁層(30)は発光サイリスタの発光波長の光がよく通る材質をもちいることが望ましい。N形GaAs基板(1)はこのサイリスタのカソードとして働く。各単体発光素子のアノード電極(40)に2本の転送クロックライン(ゆ1、ゆ2)がそれぞれ1素子おきに接続される。またゲート電極には負荷抵抗RLが接続される。一方各素子間に光結合が発生すると本実施例の転送動作が影響されることがある。これを防止するため、ゲート電極の一部を発光素子間の分離溝のなかに入れ、光結合を防止する構造としている。

本実施例の構成は実施例1(第1図)に示した等価回路と全く同じ構成であり、全く同じ動作をする。従って、転送クロックゆ1、ゆ2のハイレベル電圧を交互に互いに少しづつ重なるように設定すれば、発光サイリスタのON状態は順次転送されていく。即ち、発光点が順次転送される。本実施例によると、従来ではできなかつた集積化された電位結合による2相駆動自己走査形発光素子ア

イGaAs層に閉じ込められ、この領域で再結合し発光する。

またここではPNPNのサイリスタ構成を例に説明したが、この電位を検知し、しきい電圧が低下し、これをを利用して転送動作を行わせるという構成は、PNPN構成のみに限られず、その機能が達成できる素子であれば特に限定されない。例えば、PNPN4層構成でなく、8層以上の構成でも同様な効果を期待でき、まったく同様な自己走査機能を達成することが可能である。さらには静電誘導(SI)サイリスタまたは電界制御サイリスタ(FC)と呼ばれるサイリスタを用いてもまったく同様であり、本発明に含まれるものである。このSIサイリスタまたはFCは電流ブロックとして働く中央のP形半導体層を空乏層で置き換えた構造となっている(S. M. Sze著、*Physics of Semiconductor Physics*、2nd Edition pp238-240)。

<実施例3>

実施例3を第3図、第4図に示す。この実施例

レイを実現することができる。

本実施例では転送クロックバルスとして、ゆ1、ゆ2の2相を想定したが、より安定な転送動作を求める場合にはこれを3相、4相と増加させてもよい。

また本実施例では発光サイリスタの構造を最も簡単な場合について示したが、発光効率を上げるために、より複雑な構造、層構成を導入することも本発明の範囲に含まれる。その具体的な例としてダブルヘテロ構造の採用が挙げられる。一例を第18図に示す(田代他1987年春応用物理学講演、番号28p-ZE-8)。これはN形GaAs基板上に0.5μmのN形GaAs層を積み、その上にバンドギャップの広いN形AlGaAsを1μm、P形GaAs層を5μm、N形GaAs層を1μm、バンドギャップの広いP形AlGaAsを1μm、そして取り出し電極とのオーミック接觸をとるためのP形GaAs層を0.15μm積層した構成である。発光層は間に挟まれた、1μmのN形GaAs層である。これは注入された電子、正孔がバンドギャップの狭

は実施例2の、より現実的な構造を示したものである。第3図に本実施例の平面図を、第4図に第3図のY-Y'ラインの断面図を示す。T(-2)～T(+1)は各発光素子の素子番号を表す。

各発光サイリスタのゲートにつながる負荷抵抗はRL(63)と表し、発光サイリスタを構成する半導体層を流用している。ダイオードD-2～D4はT(-2)～T(+1)につながり、そのアノード側はゲート電極(41)を介して次の発光サイリスタのゲート及び負荷抵抗(63)に接続される。

半導体層と電極とはコンタクト孔である接続孔C1で接続される。スルーホールC2は、発光サイリスタのアノード電極(40)と転送クロックラインゆ1、ゆ2との接続孔である。電源ライン(42)は電源電圧Vokおよび負荷抵抗RLに接続される。またこれはゲート電極(41)と同時に形成される。ここでゲート電極(41)は発光素子T(-2)～T(+1)がその発光によりお互いに影響しあう事を防ぐための遮光層をも兼ねている。

第4図に断面構造図を示す。発光素子はN形G

aAs基板上にN形GaAs層(24b)、N形AlGaAs層(24a)、P形GaAs層(23)、N形GaAs層(22)、P形AlGaAs層(21b)、P形GaAs層(21a)の各層を形成する。そしてホトリソグラフィ等及びエッティングにより、各単体発光素子に分離する(分離溝(50))。また分離溝(51)は発光素子T(0)と結合用ダイオードD₀とを分離するための溝である。負荷抵抗(63)R₁は発光素子のN形GaAs層(22)を用いている。これは別の層を用いてもよい。例えばp層(23)を用いる、あるいは別の抵抗領域を設け、これを用いてもよい。

本実施例3の製造工程を説明する。まずN形GaAs基板上にN形GaAs層(24b)、N形AlGaAs層(24a)、P形GaAs層(23)、N形GaAs層(22)、P形AlGaAs層(21b)、P形GaAs層(21a)の各層を順次形成する。そして分離溝(50)を形成し、発光素子及び抵抗間の分離を行なう。次に分離溝(51)を形成し、発光素子と結合ダイオード間の分離を行なう。

1で示した発光サイリスタをPNPトランジスタT_{r1}とNPNトランジスタT_{r2}との組合せで表わした。サイリスタと同じ動作をさせるため、T_{r1}のコレクタをT_{r2}のベースに、T_{r1}のベースをT_{r2}のコレクタに接続している。T_{r1}のベース、即ちT_{r2}のコレクタが三端子サイリスタのゲートに相当する。このT_{r1}、T_{r2}の組合せをT(-1)～T(1)で表わしている。さて本実施例4は隣接素子との結合に実施例1で示したダイオードでなく、PNPトランジスタT_{r3}を用いたものである。T_{r3}のベースはT_{r1}のベースに接続され、T_{r3}のコレクタはT_{r2}のベースに接続される。この時の転送動作は実施例1で説明したものと全く同じである。実施例1のサイリスタをT_{r1}とT_{r2}との組合せと考え、実施例1のダイオードをT_{r3}と考えれば良い。

また本実施例4の具体的なデバイス構造は実施例2及び実施例3でしめしたものと同じになる。

<実施例5>

第6図に実施例5の等価回路図を示す。本実施

この(51)形成工程と同じ工程で抵抗(63)の形成を行なう。即ちP形GaAs層(21a)、P形AlGaAs層(21b)の除去を行なう。絶縁膜(30)を形成し、コンタクト孔(C₁)を設ける。電極(40)(41)(42)を形成する。層間絶縁膜(31)を形成して、スルーホールC₂を設け、電極₁、₂を形成する。以上の工程により本実施例3の構造が完成する。

この工程の順序は必ずしも上記のとおりである必要はなく、例えば分離溝(50)と分離溝(51)の形成順序が逆転していてもよい。また第4図の上にさらに透光性絶縁膜を設け、信頼度を向上させるようにしてもよい。さらには発光素子上の絶縁膜が厚くなり光透過率が低下することを嫌うなら、発光素子の上部絶縁膜の一部または全部をホトエッティング等の方法により除去してもよい。

<実施例4>

実施例4は電気接続の方法としてトランジスタを用いるものである。

実施例4の等価回路を、第5図に示す。実施例

5は実施例1に示した等価回路に対し、電源V_{ox}及び負荷抵抗R₁を削除したものである。実施例1の等価回路では電源電圧V_{ox}に対してサイリスタのターンオン電圧が定まっており、ONした素子のゲート電圧がほぼ零ボルトとなること、そしてそれがダイオードを通して隣接素子に影響を与えることを利用していた。本実施例5ではこの電源V_{ox}を削除しており、この動作を説明する。

今転送クロック₂にクロックハイレベル電圧を加え、発光サイリスタT(0)がONしているとする。ゲートG₀はほぼ零ボルトとなる。この時隣接する発光サイリスタT(-1)のゲートG₋₁の電圧は不定となる。ダイオードD₋₁はゲートG₋₁の電圧が零ボルト以上であれば逆バイアスとなり、電流は流れないのである。また発光サイリスタT(1)のゲートG₁の電圧はダイオードD₀の順方向立ち上がり電圧V₀₁より高くなることができない。これから発光サイリスタT(-1)のON電圧は発光サイリスタT(-1)のデバイス構造から定まるON電圧となる。一方発光サイリスタT(1)のON電圧はゲー

トG₁の電位からさらにV_{dd}だけ高い電圧となる。従って約2V_{dd}となる。デバイス構造から定まるON電圧をこの2V_{dd}より高く設定しておけば実施例1にて説明した通りに二相駆動が可能となる。

本実施例5によれば電源、負荷抵抗が不要であり、配線も転送クロック2本のみでよく、簡単な構造とすることができる。

<実施例6>

第7図、第8図に実施例6の構造図を示す。これは実施例5で示した等価回路を現実に構成する場合の構造を示したものである。第7図は平面図を示し、第8図は第7図のX-X'の断面図を示す。

この構造について説明する。転送クロックライン ϕ_1 、 ϕ_2 、発光素子T(-1)～T(1)は上述と同様である。ゲート電極41は、結合のためのダイオードD₋₁～D₁と発光素子のゲートとを接続している。第8図に示す発光素子部は、基本的に第4図の発光素子部と同じである。

本実施例6の製造工程を説明する。まずN形G

第9図に実施例7の等価回路図を示す。この実施例7は実施例5をトランジスタによる等価回路に書き直したものに相当する。実施例4の負荷抵抗を取り去った構成になっており、動作は実施例5と同じである。また本実施例7を現実に構成した場合、実施例6に示した構造となる。

このように等価的にトランジスタをもちいても構成できる。

<実施例8> レーザへの応用

今までの実施例の説明は発光素子として発光サイリスタを念頭に説明してきた。しかし本発案は発光サイリスタに限られるものではなく、例えばレーザサイリスタを用いても全く同様に動作する。以下の実施例にてレーザサイリスタを用いた場合を説明する。

第10図、第11図に実施例8の構造図を示す。これは本発明をレーザに適用した場合を示す。第10図は本実施例8の平面図を、第11図は断面図を示す。基本的にはサイリスタ部をレーザサイリスタとし、そのキャビティ部に結合用ダイオードG₁～G₄を設ける。

aAs基板上にN形GaAs層(24b)、N形AlGaAs層(24a)、P形GaAs層(23)、N形GaAs層(22)、P形AlGaAs層(21b)、P形GaAs層(21a)の各層を順次形成する。そして分離溝(50)を形成し、発光素子間の分離を行なう。次に分離溝(51)を形成し、発光素子と結合ダイオード間の分離を行なう。即ちP形GaAs層(21a)、P形AlGaAs層(21b)の除去を行なう。絶縁膜(30)を形成し、コンタクト孔(C₁)を設ける。電極(41)、 ϕ_1 、 ϕ_2 を形成する。以上の工程により本実施例8の構造が完成する。

本実施例6で示した構造の特徴として、実施例3と異なり、二相配線を使用していないことが挙げられる。第7図をみれば明かなように配線パターンが重ならずに形成でき、配線形成は一層配線で良いことになる。また抵抗が不要となることから製造が簡単となり、これから製造コストをさらに低減できることになる。

<実施例7>

ドを設けた構成となっている。これは実施例5、7の等価回路を適用したものである。

製造方法を概説する。n形GaAs基板(1)上にn形AlGaAs(25)、p形AlGaAs(24)、I形(ノンドウブ)GaAs(23)、n形AlGaAs(22)、p形AlGaAs(21)、上部電極(20)を順次積層する。(p形AlGaAs(21)と上部電極(20)との間にオーミック接觸を良好とするためにp形GaAs層を挟む場合もある。)

次にホトエッチングにより上部電極(20)を図中n形AlGaAs層(25)の幅と同じ幅を持つ長方形に加工し、これをマスクとして、p形AlGaAs(21)～n形AlGaAs(25)の各層をエッティングする。この時に素子間の分離溝(50)が形成される。次にホトエッチングにより同じ上部電極(20)をさらにエッティングし、10μm以下の幅を持つストライプ状パターン(レーザサイリスタの電流注入部)と結合用ダイオードパターン(D₋₁～D₁部分)を設ける。これをマスクとして、p形AlGaAs(21)～n形AlGaAs(22)

の層をエッティングする。n形AlGaAs(22)層は全部除去せず一部残すようにする。さらに絶縁膜(30)を成膜する。この絶縁膜は絶縁と光遮蔽の二つの機能を持つようにしたものが望ましく、複数種類の膜をもちいて形成してもよい。この絶縁膜として例えばSiO₂膜を使用した場合、GaAsの発光波長である870nmを透過するため、光結合を誘発する可能性があり、その間に例えば非晶質シリコンのような光吸収物質による光遮蔽膜を設ける必要がある可能性があるからである。次にホトエッティングによりコンタクト穴(C₁)を設け、転送クロックライン用の配線金属を蒸着またはスパッタ等により形成し、ホトエッティングにより転送クロックライン(φ₁、φ₂)を形成する。そして最後にへき開等の手法によりレーザ光出力側の端面を平行度よく形成し、本実施例の構造ができる。

この実施例では実施例5、7の等価回路をレーザへ応用した場合を示したが、実施例1、4の等価回路、即ち抵抗を設けたタイプでもレーザを形

また、実施例で示してきた構成において、導電型のPとNをそれぞれ逆転してもバイアス条件を反転すれば、全く同様に動作する。

<応用例>

以上の実施例にて説明してきた自己走査可能な発光素子アレイは、各種応用が期待できる。例として、光走査の密着イメージセンサ、光プリンタの書き込みヘッド、ディスプレイ等が挙げられ、これらの機器の低価格化、高性能化に大きな寄与をすることができる。

上記実施例においては、各々隣接する発光素子の制御電極を互いに電気的手段にて接続してネットワークを形成しているが、例えば各々接続する発光素子を1つおきの発光素子として、1つの発光素子アレーに2系列の走査機能を設けることもできる。また、2次元、3次元の発光素子アレーの場合には、各発光素子は近傍の4つまたは6つ以上の発光素子と電気的手段にて接続される。

[発明の効果]

以上述べてきたように、本発明は発光素子アレ

成できることは言うまでもない。

尚レーザの構造は本構造にかぎられるものではなく、例えばTJS形、BHS形、CSP形、VSIIS形等を用いてももちろんよい(S. M. Sze著、*Physics of Semiconductor Physics*, 2nd Edition pp724-730)。また材料についてもAlGaAsを主体に説明したが、これ以外の材料(例えばAlInP、InGaAsP、ZnSe、GaP等)であつてもよい。

尚、以上述べてきた本発明の一連の実施例は基板として半導体基板を用い、その電位を零ボルト(接地)とした例を示してきたが、本発明はこれに限られず基板として他の物質を用いてもよい。もっとも近い例でいえばクロム(Cr)等をドウブリした半絶縁性GaAs基板上に実施例のn形GaAs基板に相当するn形GaAs層を形成し、この上に実施例で説明した構造を形成してもよい。

また例えばガラス、アルミナ等の絶縁基板上に半導体膜を形成し、この半導体を用いて実施例の構造を形成してもよい。

イ面をダイオードまたはトランジスタで結合させることにより、2相の転送クロックで発光点の転送を行なうことができる、即ち、2相クロック駆動の光シフトレジスタを形成できる。また、ワイヤボンディングの数の減少、駆動ICの減少、コンパクト化、短ピッチ化等ができる。

また本発明は、密着イメージセンサ、光プリンタ、ディスプレイ等へ応用でき、これらの機器の性能向上、低価格化に大きく寄与することができる。

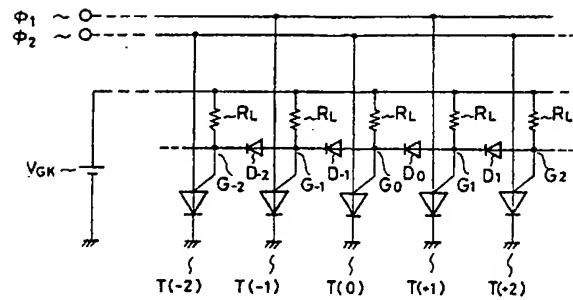
4. 図面の簡単な説明

第1図は実施例1で説明した発光素子アレイの等価回路図、第2図は実施例2で説明した発光素子アレイの構造概念図、第3図および第4図は実施例3で説明した発光素子アレイの平面図および断面図、第5図は実施例4で説明した発光素子アレイの等価回路図、第6図は実施例5で説明した発光素子アレイの等価回路図、第7図および第8図は実施例6で説明した発光素子アレイの平面図および断面図、第9図は実施例7で説明した発光

素子アレイの等価回路図、第10図および第11図は実施例8で説明した発光素子アレイの平面図および断面図、第12図は従来の発光サイリスタの基本構造を示す側面図、第13図は従来の発光サイリスタの電流-電圧特性を示す図、第14図は従来の3端子発光サイリスタの基本構造を示す側面図、第15図は先の出願の発光素子アレイの等価回路図、第16図は先の出願の発光素子アレイの断面図、第17図は先の出願の発光素子アレイの等価回路図、第18図はダブルヘテロ構造の発光サイリスタの概略を示す断面図である。

図中、

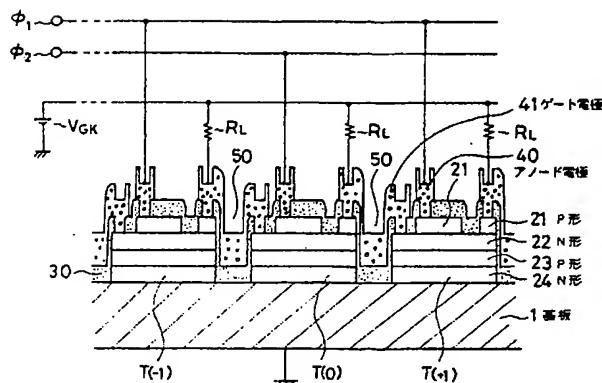
40はアノード電極、41はゲート電極
を各々示す。



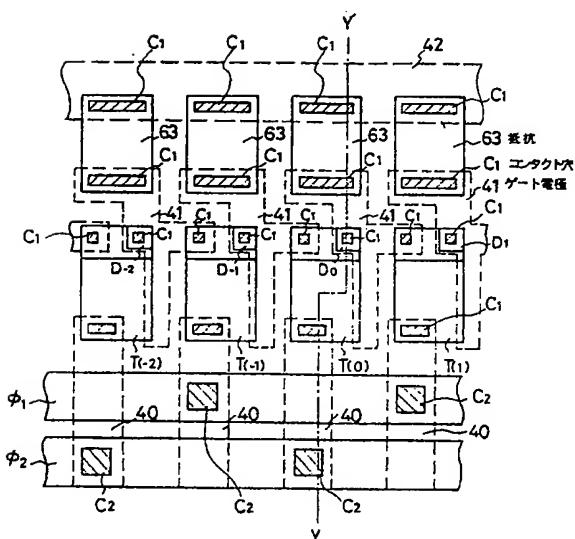
第1図

特許出願人 日本板硝子株式会社

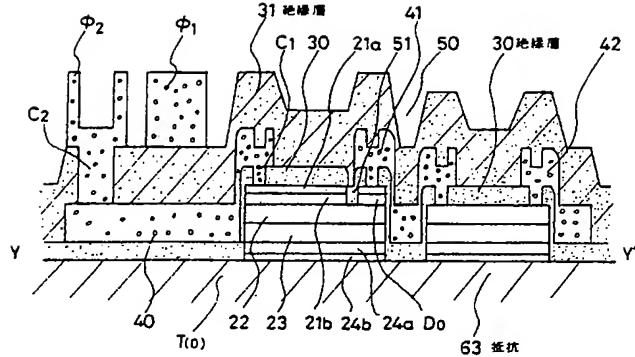
代理人 弁理士 大野精市



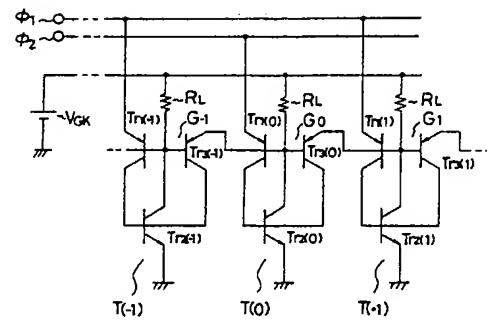
第2図



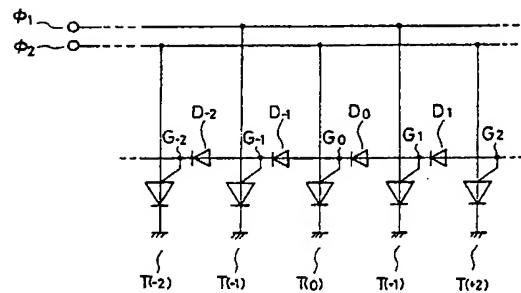
第3図



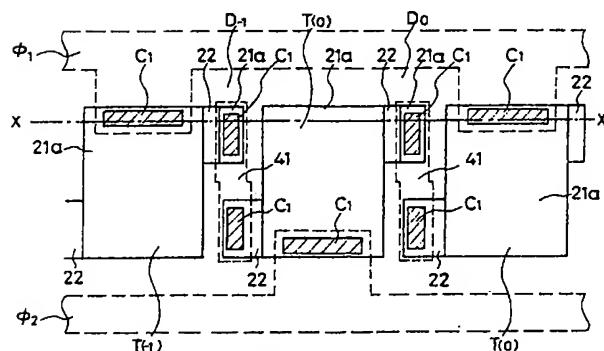
第 4 図



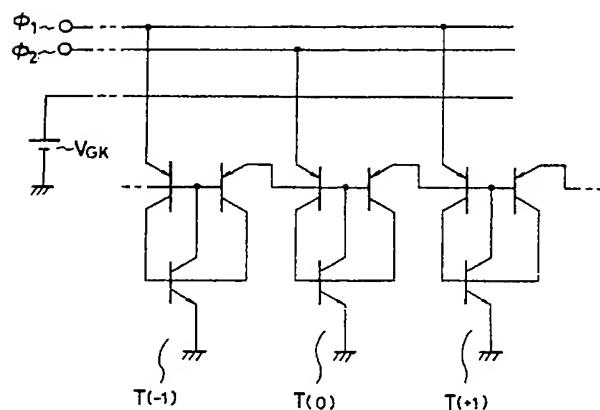
第 5 図



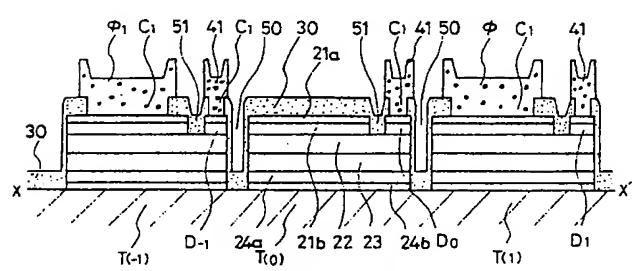
第 6 図



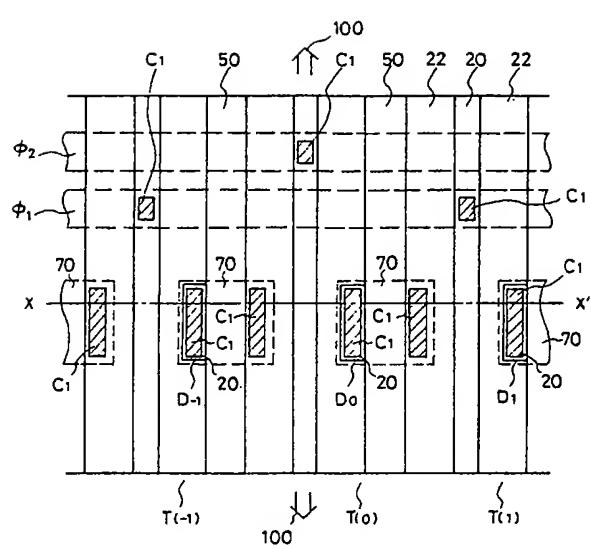
第 7 図



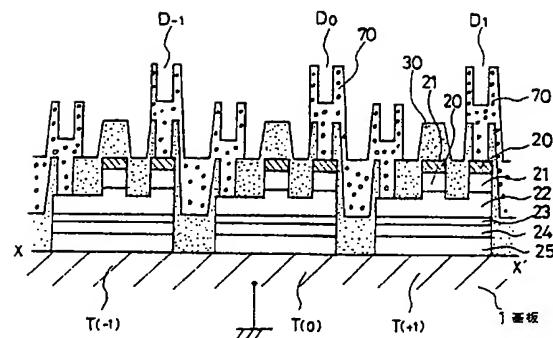
第 9 図



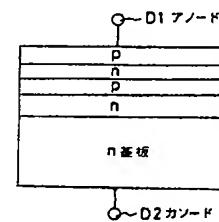
第 8 図



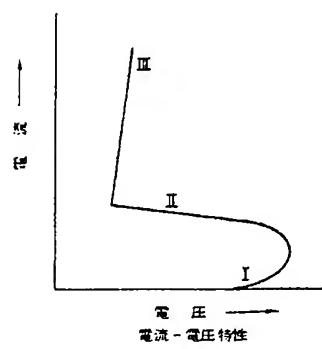
第 10 図



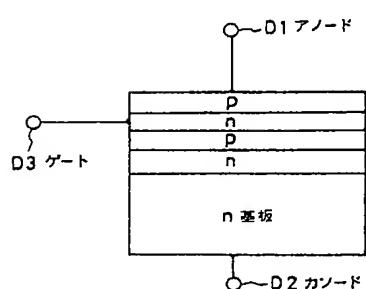
第 11 図



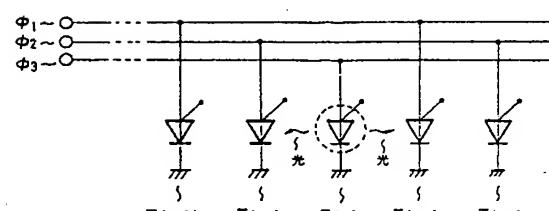
第 12 図



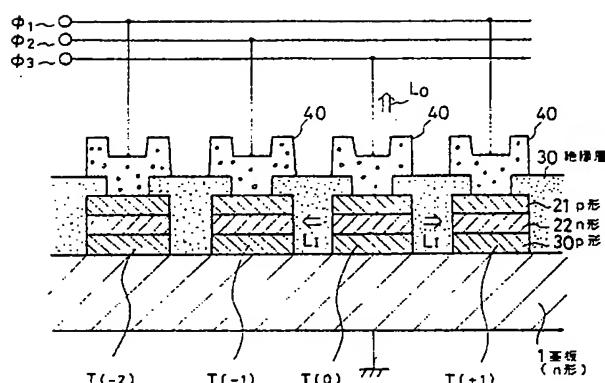
第 13 図



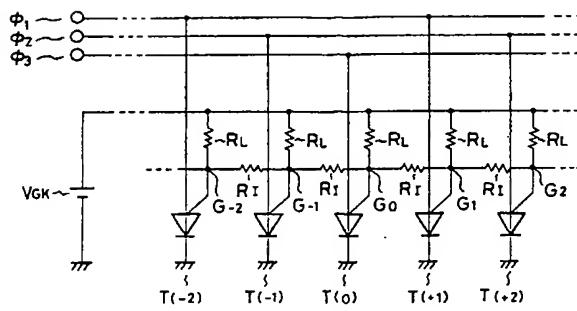
第 14 図



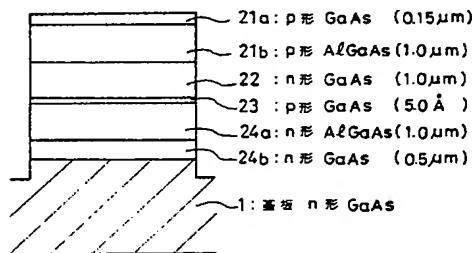
第 15 図



第 16 図



第 17 図



第 18 図

第 1 頁の続き

⑤Int. Cl. 5

識別記号

府内整理番号

B 41 J 2/455
H 01 S 3/18

7377-5F

⑥発明者 田中 修平 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会
社内